

Publication number: JP2003076344

Publication date: 2003-03-14

Inventor: YOSHIZU HIROO

Applicant: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA LSI
SYSTEM SUPPORT KK

Classification:

- international: G02F1/133; G09G3/20; G09G3/36; H04N5/66;
G02F1/13; G09G3/20; G09G3/36; H04N5/66; (IPC1-7):
G09G3/36; G02F1/133; G09G3/20; H04N5/66

- European:

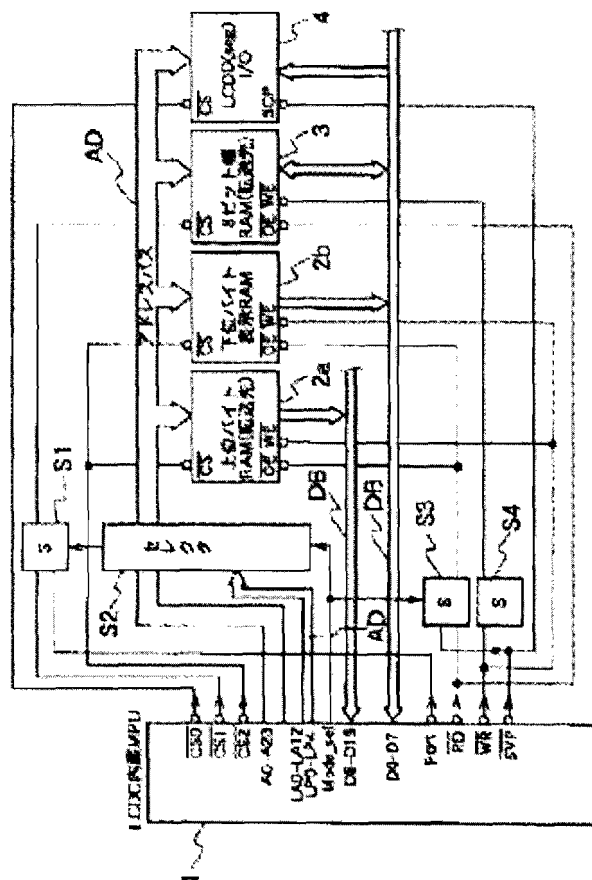
Application number: JP20010270391 20010906

Priority number(s): JP20010270391 20010906

Report a data error here

PROBLEM TO BE SOLVED: To provide a shift register type LCD (liquid crystal display) controller in which the AC margin of a display data transferring processing is improved.

SOLUTION: This LCD controller is constituted by making input-output data buses of display data common and by dispensing with the converting of bit widths of the display data and the changeover operation of the input-output data buses.



<http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=JP2003076344&F=0>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-76344
(P2003-76344A)

(43) 公開日 平成15年3月14日 (2003.3.14)

| (51) Int.Cl. ⁷ | 識別記号 | F I | データシート [*] (参考) |
|---------------------------|-------|---------------|--------------------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 3 |
| G 0 2 F 1/133 | 5 0 5 | G 0 2 F 1/133 | 5 0 5 5 C 0 0 6 |
| G 0 9 G 3/20 | 6 3 3 | G 0 9 G 3/20 | 6 3 3 C 5 C 0 5 8 |
| H 0 4 N 5/66 | 1 0 2 | H 0 4 N 5/66 | 1 0 2 B 5 C 0 8 0 |

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願2001-270391 (P2001-270391)

(22) 出願日 平成13年9月6日 (2001.9.6)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(71) 出願人 598010562

東芝エルエスアイシステムサポート株式会
社

神奈川県川崎市幸区堀川町580番地

(72) 発明者 吉津 宏夫

神奈川県川崎市幸区堀川町580番地 東芝
エルエスアイシステムサポート株式会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

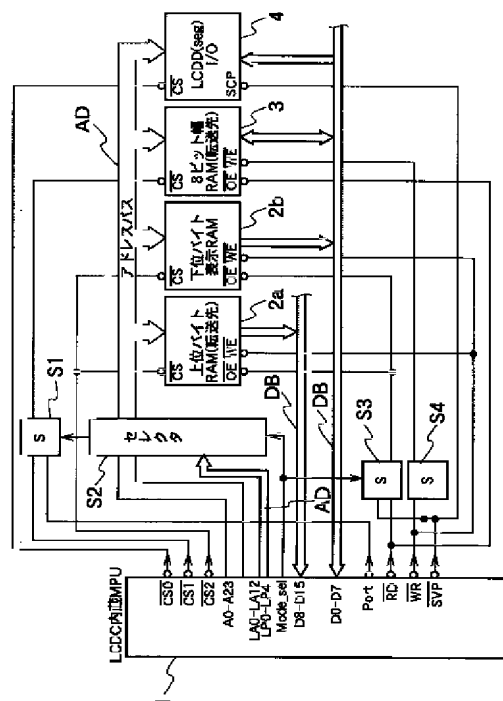
最終頁に続く

(54) 【発明の名称】 シフトレジスタ型LCD制御回路

(57) 【要約】

【課題】 この発明は、表示データ転送処理のACマージンを改善したシフトレジスタ型LCD制御装置を提供することを課題とする。

【解決手段】 この発明は、表示データの入出力データバスを共通化して、表示データのビット幅変換ならびに入出力データバスの切り替え動作を不要にして構成される。



【特許請求の範囲】

【請求項1】 外部から表示データを入力する n ビットの汎用のデータバスと、表示データを格納する記憶装置を備えていないシフトレジスタ型のLCDドライバへ表示データを転送する n ビットの汎用のデータバスを共通化し、前記汎用のデータバスを介して表示データを入力し、入力した表示データを前記汎用のデータバスを介して前記LCDドライバへ転送する転送動作を制御することを特徴とするシフトレジスタ型LCD制御回路。

【請求項2】 前記 n ビットの汎用のデータバスを含む m ($>n$) ビットの汎用のデータバスを介して、 n ビットの前記表示データならびに前記 n ビットの表示データとは異なる($m-n$) ビットの転送データを入力し、前記表示データの前記LCDドライバへの転送と並行して、前記転送データを転送制御することを特徴とする請求項1記載のシフトレジスタ型LCD制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示用のデータを格納する表示用RAMを備えていないシフトレジスタ型のLCD（液晶表示装置）ドライバに表示用データを転送制御するシフトレジスタ型LCD制御回路に関する。

【0002】

【従来の技術】従来、この種のLCD制御回路は、複数のデータバス幅を持つLCDドライバに対して、柔軟な対応が可能な様に、かつ表示データの保存効率を考え、一旦表示データをLCD制御装置を含むマイコンに取り込んだ後、取り込んだ表示データをLCDドライバのバス幅に合わせる形で変換し、変換した表示データをデータバスへ出力していた。

【0003】しかし、このような従来の方式においては、外部からの表示データの取り込みと、表示データ変換後の出力のため、表示データのバス幅変換およびデータバスの入出力切り替えといった転送作業が必要になっていた。このため、LCD制御回路を含むマイコンが高速化すると、表示データの転送処理にAC的な制約が生じ、LCDドライバの規格値外になる場合があった。その結果、最終的にはLCDドライバの処理速度に対応させて、マイコンの処理速度を落さなければならないという問題があった。

【0004】一方、表示データを格納する表示メモリをマイコン内部に持つ場合には、表示データ変換後の出力動作の場合もあるが、マイコンの内蔵メモリの制限により表示サイズは当然限定されてしまうという問題があった。

【0005】図5に表示データの転送動作タイミングを示す。図5において、LCDドライバはシフトクロック（SCP）信号の立ち下りのタイミングで、表示データ（D7-D0）をドライバの内部にラッチしている。図5に

示すタイミングから明らかなように、LCDドライバのデータセットアップ時間（tDSU）、ならびにデータホールド時間（tDHD）に十分なマージンがなかった。したがって、上述したような従来のデータ転送方式では、接続可能なLCDドライバが制限され、かつ接続するためにマイコンの動作周波数の低下や、動作電圧を上げる等の使用条件がついてしまっていた。

【0006】図6に表示データを格納するメモリの表示データ・メモリマップを示す。図6のLCDパネルと表示メモリアドレスとの関係において、240（セグメント）×240（コモン）の構成では表示データがアドレスにしたがって順次格納されているので、表示データが効率よく格納されていた。しかしながら、マイコンの高速化、メモリビット単価の低下により、必ずしも表示データを図6に示すように格納する必要はなかった。

【0007】

【発明が解決しようとする課題】以上説明したように、表示用のデータを格納する表示用RAMを備えていないシフトレジスタ型のLCD（液晶表示装置）ドライバに表示用データを転送制御する従来の手法にあっては、外部から表示データを取り込み、LCDドライバに応じてデータ幅の調整を行った後バスの入出力を切り替えて表示データを転送していたので、LCDドライバ側のAC的なマージンに余裕がないといった不具合を招いていた。

【0008】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、表示データ転送処理のACマージンを改善したシフトレジスタ型LCD制御装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、課題を解決する手段は、外部から表示データを入力する n ビットの汎用のデータバスと、表示データを格納する記憶装置を備えていないシフトレジスタ型のLCDドライバへ表示データを転送する n ビットの汎用のデータバスを共通化し、前記汎用のデータバスを介して表示データを入力し、入力した表示データを前記汎用のデータバスを介して前記LCDドライバへ転送する転送動作を制御することを特徴とする。

【0010】

【発明の実施の形態】以下、図面を用いてこの発明の実施形態を説明する。

【0011】図1はこの発明の一実施形態に係るシフトレジスタ型LCD制御回路を含むマイコンとLCDドライバを備えたシステムの構成を示す図である。この実施形態のシフトレジスタ型LCD制御回路は、システムの外部汎用データバスとLCDドライバ用データバスを共通化し、転送データのビット幅変換経路を削除し、LCDドライバに表示用メモリの出力を直接送ることで、転送用のシフトクロックに対する表示データのセットアップ

ブ時間 (tDSU)、ならびにホールド時間 (tDHD) を従来に比べて大幅に改善し、マイコンの高速処理を実現するようにしている。さらに、この実施形態のシフトレジスタ型LCD制御回路は、表示データ転送中にデータバスの空いたビットを利用して他のデータを転送を行えるようにしている。

【0012】図1において、この実施形態のシステムは、LCD制御回路 (図示せず) を含むマイコン (MPU) 1 と、システムのアドレスバスADを介してマイコン1からアドレスを受ける例えば64KB×16ビットデータ幅のRAM2a (上位バイト側)、2b (下位バイト側) と、例えば32KB×8ビットデータ幅のRAM3 (他のデータの転送先) と、8ビットデータ幅のシフトレジスタ型のLCDドライバ (LCDD (seg) I/O) 4 と、通常動作時と表示データの転送時とで制御信号を切り替えるセクタ回路S1、S3、S4 と、通常動作時と表示データの転送時とでアドレス信号を切り替えるセクタS2を備えて構成されている。

【0013】8ビットバス幅のLCDドライバ4に対応したシフトレジスタ型LCD制御回路は、RAM2aに格納された表示データをLCDドライバ4に転送する転送動作を制御し、LCD制御用の転送制御信号として、交流化フレーム信号 (FR)、シフトクロック (SCP) 信号、ラッチ信号 (LP) 等を生成するほか、表示データの転送経路となる汎用のデータバスDBを介してLCDDドライバ4と接続される。

【0014】RAM2aは、表示データの転送時に表示データとともに転送される他のデータを格納しており、RAM2bは、転送される表示データを格納しており、RAM3は、RAM2aに格納された他のデータの転送先となるメモリである。これらのメモリ2a、2b、3ならびにLCDDドライバ4は、8ビット幅のデータバスDBを介してマイコン1に接続されている。

【0015】それぞれのセクタ回路S1、S3、S4は、マイコン1から与えられる選択切替信号 (Mode_sel) に基づいて入力を切替制御し、セクタS3、S4は表示データ転送時には、表示データの転送クロックとなるシフトクロック (SCP) 信号を選択してRAM2a、2b、3に与える。

【0016】アドレスバスADは、図2に示すように構成されている。通常動作時には、マイコン1から出力される16ビットのアドレス信号 (A0~A15) が選択切替信号 (Mode_sel) に基づいてセクタ回路S2により選択されて、RAM2a、2bに供給され、マイコン1から出力される15ビットのアドレス信号 (A0~A14) が選択切替信号 (Mode_sel) に基づいてセクタ回路S2により選択されて、RAM3に供給される。一方、表示データの転送時には、CPU停止時に動作可能なカウンタによって生成されてマイコン1から出力される16ビットのアドレス信号 (LA0~LA12, LP0~LP2) が選択切替

信号 (Mode_sel) に基づいてセクタ回路S2により選択されて、RAM2a、2bに供給され、マイコン1から出力される15ビットのアドレス信号 (LA0~LA12, LP3~LP4) が選択切替信号 (Mode_sel) に基づいてセクタ回路S2により選択されて、RAM3に供給される。

【0017】このような構成において、表示データの転送時にはSCP信号に基づいてRAM2bから読み出された8ビットの表示データは、LCD制御回路の制御の下に8ビットデータバスDBを介してマイコン1に読み込まれ、読み込まれた表示データはデータのビット幅変換ならびにデータバスの切り替えが行われず、読み込んだデータバスDBと同じデータバスDBを介してLCDDドライバ4に転送される。

【0018】図3に表示データの転送動作時のタイミングチャートを示す。上述したように、表示データのビット幅変換とデータバスの入出力切り替え作業が不要なため、図3から明らかなように、図5の従来例に比べてSCP信号の立ち下がりに対する表示データ (D0~D7) のセットアップ時間ならびにホールド時間のマージンが改善されている。表示データのセットアップ時間とホールド時間は、いずれもメモリの読込みデータのACタイミングに依存するが、メモリの高速化によって確実にLCD制御回路のACマージンを向上させる調整が可能となる。したがって、SCP信号のタイミングの最適化設計が可能である。

【0019】一方、上記表示データの転送時に、表示データ転送に使用されていないデータバスDBを介して、SPC信号に同期してRAM2aからRAM3にデータがDMA転送される。このように、表示データとは別のデータを表示データと並行して転送するために、図4のLCDパネルと表示メモリアドレスの関係に示すように、表示データはメモリマッピングされる。図4においてこの実施形態では、16ビットのマイコン1の場合に、図6の従来例に比べて奇数側1バイトが表示データとして利用されず、1バイト置きに空き領域ができる。表示データのスタートアドレスおよび繰り返し回数は、表示サイズに従い決定され、ユーザはそれをレジスタ設定することにより、表示メモリ領域は決定される。

【0020】また、上記空きアドレスに転送元のデータを格納し、別に設定する転送先アドレスへDMA転送を同時に実行している。その転送データ量に関しては、1ページ分で約7.2Kバイトだが、ページ繰り返しを4ページ分にすることで、約28.8Kバイト分のDMA転送が表示データの転送と同時に実現可能となる。さらに、4ページ分の同一表示データを持たせた場合、その4サイクル分の表示データにデューティを持たせることにより、4階調をつけた表示を実現させることも可能となる。

【0021】このようなメモリの使用方法にあつては、メモリの格納効率は低下するが、高速化や階調表示等のメモリマップ調整には実に単純なため、データでの微調

整が行いやすいといったメリットがある。また、従来表示データ転送中は他の処理が不可能であった欠点が改善され、また階調表示等の実現に対しても各ロウ毎に全表示データをメモリ内に配置することで、データ書き換えにより比較的容易に実現可能となる。さらに、テンポラリメモリに書き込んだデータを、ユーザのソフトが意識しないで、保存用の別メモリにデータを保護、格納するような場合など有用な機能を実現できる。

【0022】このように、上記実施形態においては、マイコン1の汎用のデータバスDBとLCDドライバ用のデータバスDBを共通化するため、汎用性を重視した従来構成にはバス幅変換動作やデータバスの入出力動作制御回路が存在するが、これらの回路構成が不要となるため、AC特性が問題となる回路自体が簡素化できる。また、表示メモリを外部に持ちLCDドライバ4の表示データを直接表示用メモリからデータバスへ載せて転送しているので、汎用のデータバスDBの入出力切り替え動作時間がなくなり、LCDドライバ4に対するACマージンが改善される効果がある。さらに、表示メモリ中の未使用領域と汎用のデータバスDBの空きを利用し、表示データ転送中に他のデータのDMA転送処理機能を有することにより、CPUの機能停止中であっても表示データ転送以外のDMA転送処理が可能となり、マイコン1の処理効率向上の効果がある。

【0023】

【発明の効果】以上説明したように、この発明によれば、表示データの転送処理におけるACマージンを改善することができる。また、表示データの転送と並行して、他のデータをDMA転送することが可能となり、情報処理の処理効率を向上させることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態に係るシフトレジスタ型LCD制御回路を含むマイコン(MPU)を備えたシステムの構成を示す図である。

【図2】アドレスバスの一構成例を示す図である。

【図3】表示データの転送時のタイミングチャートを示す図である。

【図4】LCDパネルと表示メモリアドレスの関係を示す図である。

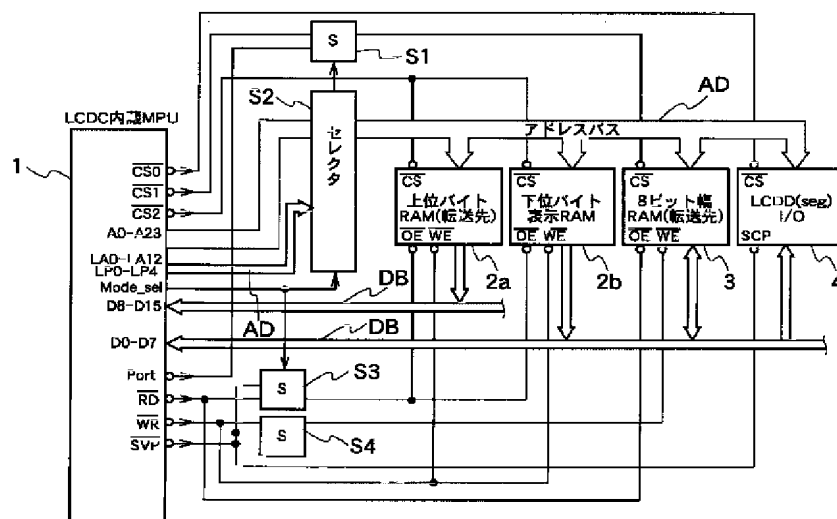
【図5】表示データの従来の転送時のタイミングチャートを示す図である。

【図6】LCDパネルと表示メモリアドレスの従来の関係を示す図である。

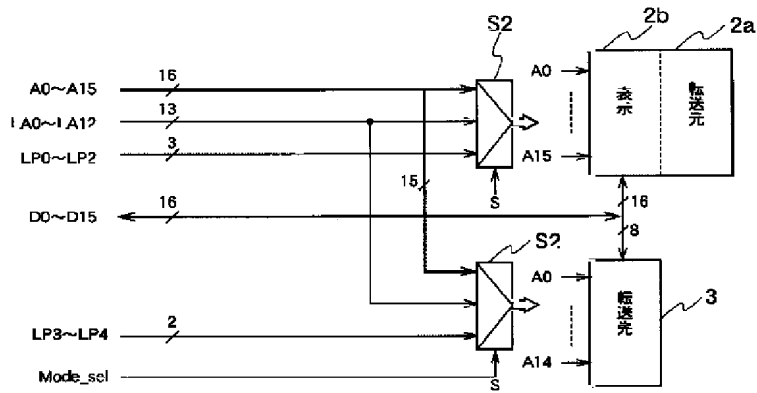
【符号の説明】

- 1 マイコン
- 2a, 2b, 3 RAM
- 4 LCDドライバ
- S1～S4 セレクタ回路
- AD アドレスバス
- DB データバス

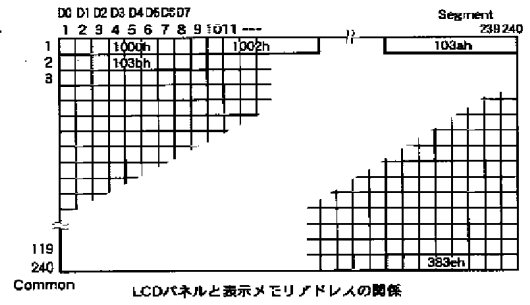
【図1】



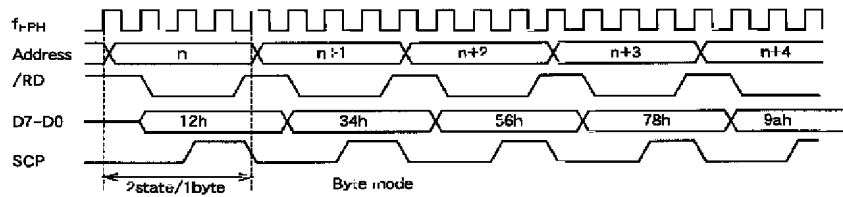
【図2】



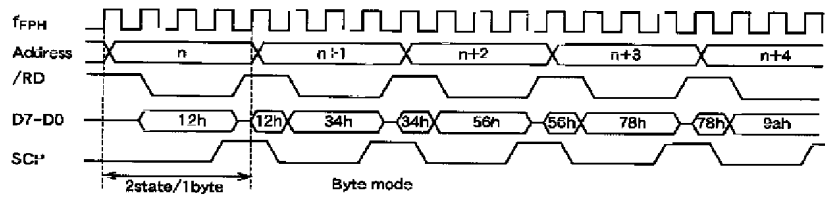
【図4】



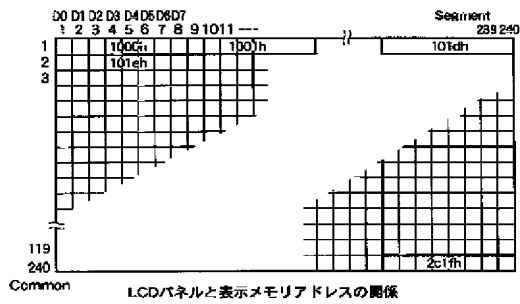
【図3】



【図5】



【図6】



フロントページの続き

F ターム(参考) 2H093 NC09 NC16 NC22 NC29 NC50
ND37
5C006 AC21 AF42 BB11 BC16 BF03
BF15 BF24 FA12
5C058 AA06 BA02 BA35 BB11
5C080 AA10 BB05 DD08 EE26 FF09
JJ02 JJ04